

Partial Translation of  
JP 2003-174033 A

Publication Date : June 20, 2003

5 Application No. : 2001-373696

Application Date : December 7, 2001

Applicant : Matsushita Electric Industrial Co., Ltd.

Title of the Invention : SEMICONDUCTOR DEVICE

10

Translation of Page 3, Right Column, Line 24 – Page 4, Left Column,

Line 14

15 [0015] (First Embodiment) The first embodiment is described with  
reference to FIGS. 1(a) to 1(c).

[0016] FIG. 1(a) is a schematic plan view showing the first embodiment;  
FIG. 1(b) is an enlarged plan view of the circled part A shown in FIG. 1(a);  
and FIG. 1(c) is a cross-sectional view taken along line X-X' shown in FIG.  
1(b). A transistor region 19 is formed with a plurality of P-type base  
20 regions 2 formed on a N<sup>+</sup>/N-type collector substrate 1, N-type emitter  
regions 3 formed on the base regions 2, respectively, and a plurality of  
element isolation regions 4 formed in the collector substrate 1 for isolating  
and separating the respective base regions 2 from each other. N-type  
polycrystalline silicon films 6 are formed on the N-type emitter regions 3.  
25 P-type polycrystalline silicon films 5 to serve as external base layers are  
formed on the P-type base regions 2 and the element isolation regions 4.  
Further, an insulating film 7 is formed thereon after the transistor region 19  
has been formed, and first base wires 9 and first emitter wires 10 are  
formed through the through holes 8 with wiring plugs buried therein for  
30 connecting with the N-type polycrystalline silicon films 6 and the P-type  
polycrystalline silicon films 5, respectively. The first base wires 9 are  
connected together in a comb-like form as shown in FIG. 1(b), which then is  
connected to a base bonding pad 11 formed outside the transistor region 19  
through a contact hole 17 using a base common-connection-wire 13.  
35 Furthermore, a second insulating film 14 is formed to cover the first  
insulating film 7 with the first base wires 9 and the first emitter wires 10

formed thereon. Subsequently, a second emitter wire 16 is formed that is connected to the first emitter wires 10 through second through holes 15 formed in the second insulating film 14. The second emitter wire 16 is connected to all the first emitter wires 10 and is formed to cover the whole transistor region 19. The second emitter wires 16 are lead outside the transistor region 19 to be connected to an emitter bonding pad 12.

[0017] Since the second emitter wire 16 is formed to cover the whole transistor region 19, it is possible to make the distances from the emitter bonding pad 12 to the respective emitter regions 3 equal to each other.

Consequently, the difference in wire inductance that is caused by leading the wires around can be eliminated.

[0018] Thus, the gain was improved by about 1 dB as compared to that obtained in the case of using the conventional comb-like emitter wiring configuration. In addition, since the current concentration does not tend to occur due to the improvement in current balance in the whole, a higher-quality bipolar-type transistor can be provided.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-174033

(P2003-174033A)

(43) 公開日 平成15年6月20日 (2003.6.20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト <sup>*</sup> (参考)
H 0 1 L	21/331	H 0 1 L 29/72	S 4 M 1 0 4
	21/3205		H 5 F 0 0 3
	29/41	29/50	B 5 F 0 3 3
	29/417	29/44	Z
	29/732	21/88	T
審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願2001-373696(P2001-373696)

(22) 出願日 平成13年12月7日 (2001.12.7)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 曾根高 真一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 豊田 泰之

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

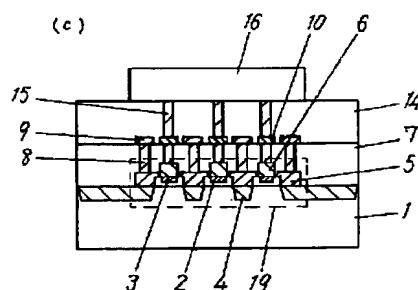
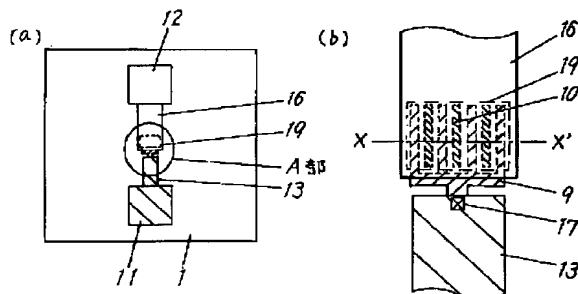
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高周波バイポーラ型トランジスタのゲイン向上を確実に達成する。

【解決手段】 トランジスタ領域上を全面覆うように第2のエミッタ配線16を形成する。全てのエミッタ領域3において、配線の引き回しによるインダクタンス差が無くなるためRF信号の位相ズレを解消でき、ゲイン向上を確実に達成できる。



## 【特許請求の範囲】

【請求項1】コレクタ基板上に複数個配設されたベース領域とエミッタ領域とで形成されたトランジスタ領域と、前記コレクタ基板を被覆する第1の絶縁膜と、前記第1の絶縁膜に形成された第1のスルーホールを介して前記ベース領域および前記エミッタ領域とにそれぞれ接続する前記第1の絶縁膜上に形成された第1のベース配線および第1のエミッタ配線と、前記第1のベース配線および第1のエミッタ配線が形成された前記第1の絶縁膜を被覆する第2の絶縁膜と、前記第2の絶縁膜に形成された第2のスルーホールを介して前記第2の絶縁膜上に形成され前記第1のエミッタ配線に接続される第2のエミッタ配線とを有する半導体装置において、前記第2のエミッタ配線は共通接続され、且つ前記トランジスタ領域を全面覆うように形成されることを特徴とする半導体装置。

【請求項2】コレクタ基板上に複数個配設されたベース領域とエミッタ領域とで形成されたトランジスタ領域と、前記コレクタ基板を被覆する第1の絶縁膜と、前記第1の絶縁膜に形成された第1のスルーホールを介して前記ベース領域に接続する前記第1の絶縁膜上に形成された第1のベース配線と、前記第1の絶縁膜と前記第1のベース配線とを被覆する第2の絶縁膜と、前記第1の絶縁膜と前記第2の絶縁膜に形成された第2のスルーホールを介して前記エミッタ領域に接続する第2のエミッタ配線とを有する半導体装置において、前記第2のエミッタ配線は共通接続され、且つ前記トランジスタ領域を全面覆うように形成されることを特徴とする半導体装置。

【請求項3】前記第2のエミッタ配線が、前記トランジスタ領域上でエミッタボンディングパッドとして使われることを特徴とする請求項1および2記載の半導体装置。

【請求項4】前記第2のエミッタ配線と前記第2の絶縁膜は、第3の絶縁膜に被覆されており、前記第3の絶縁膜に形成された第3のスルーホールを介して前記第2のエミッタ配線と接続された前記第3の絶縁膜上に形成された第3のエミッタ配線を有し、前記第3のエミッタ配線が前記トランジスタ領域上でエミッタボンディングパッドとして使われ、且つ前記第2のエミッタ配線の占有領域の大きさが少なくとも前記トランジスタ領域以上、且つ前記エミッタボンディングパッド以下で形成されることを特徴とする請求項1および請求項2記載の半導体装置。

【請求項5】前記ベース領域がシリコンエピタキシャル成長により選択形成されたことを特徴とする請求項1および請求項2記載の半導体装置。

【請求項6】前記ベース領域がゲルマニウムを含有することを特徴とする請求項1および請求項2記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線構造の半導体装置に関し、特にエミッタ接地回路に使用されるシリコン系高周波バイポーラ型トランジスタに関する。

【0002】

【従来の技術】従来の高周波バイポーラ型トランジスタを図面を参照して説明する。図5(a)は高周波バイポーラ型トランジスタの模式的な平面図、図5(b)は図5(a)の丸で囲ったA部を拡大した平面図、図5(c)はそのX-X'断面図である。N<sup>+</sup>/N型のコレクタ基板1上に複数個形成されたP型ベース領域2とそのベース領域2にそれぞれ形成されたN型エミッタ領域3と、各ベース領域2を絶縁分離するコレクタ基板1に形成された素子分離領域4とで複数個配設されたトランジスタ領域19が形成される。N型エミッタ領域3の上にはN型多結晶シリコン膜6が形成されている。P型ベース領域2上と素子分離領域4上に外部ベース層となるP型多結晶シリコン膜5が形成されている。トランジスタ領域19上を絶縁膜7で被覆し、N型多結晶シリコン膜6およびP型多結晶シリコン膜5をそれぞれ接続する配線プラグが埋め込まれたスルーホール8を介してベース配線9およびエミッタ配線10がそれぞれくし形状に共通接続される。ベース配線9およびエミッタ配線10は、トランジスタ領域19の外にあるベースボンディングパッド11およびエミッタボンディングパッド12までそれぞれ引き出される構造となっている。

【0003】これらの構成では、ベース領域2およびエミッタ領域3を素子分離領域4によって小さく且つ複数個配置することによって、コレクタ基板1とベース領域2とで形成されるジャンクション容量C<sub>jc</sub>を最適に減少してゲインの向上を図っている。

【0004】

【発明が解決しようとする課題】しかしながら、図5(b)に示すようにエミッタ配線10がくし形状のため、エミッタボンディングパッド12から近いエミッタ配線10aとエミッタボンディングパッド12から遠いエミッタ配線10bとでは配線インダクタンス差によってRF信号の位相ズレが生じゲインの低下を引き起こしてしまう。エミッタ本数が多くなり、ボンディングパッドからの距離差が増加するほどその影響は顕著になり、ゲインは大きくロスする。つまり、全てのエミッタに対する配線インダクタンス差を無くさなければ十分なゲインの向上は得られない。また、品質的な問題としても、電流集中による熱暴走破壊を引き起こされる。

【0005】本発明の目的は、全てのエミッタに対する配線インダクタンス差を無くし、ゲインの向上を確実に達成できるバイポーラ型トランジスタを提供することである。

【0006】

【課題を解決するための手段】本発明の第1の半導体装置においては、コレクタ基板上に複数個配設されたベース領域とエミッタ領域とで形成されたトランジスタ領域と、前記コレクタ基板を被覆する第1の絶縁膜と、前記第1の絶縁膜に形成された第1のスルーホールを介して前記ベース領域および前記エミッタ領域とにそれぞれ接続する前記第1の絶縁膜上に形成された第1のベース配線および第1のエミッタ配線と、前記第1のベース配線および第1のエミッタ配線が形成された前記第1の絶縁膜を被覆する第2の絶縁膜と、前記第2の絶縁膜に形成された第2のスルーホールを介して前記第2の絶縁膜上に形成され前記第1のエミッタ配線に接続される第2のエミッタ配線とを有する半導体装置であって、前記第2のエミッタ配線は共通接続され、且つ前記トランジスタ領域を全面覆うように形成されることを特徴とする。

【0007】かかる構成によれば、エミッタのボンディングパッドから全エミッタまでの距離が等しくなり配線インダクタンス差によるRF信号の位相ズレが無くなるためゲインの向上が図れる。また、全体の電流バランス改善により電流集中が起きにくくなるため、より高品質なバイポーラ型トランジスタを提供することができる。

【0008】さらに本発明の第2の半導体装置においては、コレクタ基板上に複数個配設されたベース領域とエミッタ領域とで形成されたトランジスタ領域と、前記コレクタ基板を被覆する第1の絶縁膜と、前記第1の絶縁膜に形成された第1のスルーホールを介して前記ベース領域に接続する前記第1の絶縁膜上に形成された第1のベース配線と、前記第1の絶縁膜と前記第1のベース配線とを被覆する第2の絶縁膜と、前記第1の絶縁膜と前記第2の絶縁膜に形成された第2のスルーホールを介して前記エミッタ領域に接続する第2のエミッタ配線とを有する半導体装置であって、前記第2のエミッタ配線は共通接続され、且つ前記トランジスタ領域を全面覆うように形成されることを特徴とし、第1の発明の構造に加えて、エミッタ領域と第2のエミッタ配線を接続するエミッタ接続孔が、第1の絶縁膜および第2の絶縁膜を貫通して形成されていることを特徴とする。

【0009】かかる構成によれば、エミッタ接続用の第2のスルーホールの開口幅がベース接続用の第1のスルーホールおよび第1のベース配線の形成工程による制限を受けず、エミッタ接続用の第2のスルーホールの開口幅を設計マージンが許す範囲で大きくできる。したがって、第1の発明の効果に加えてエミッタ抵抗を低減できるため、更なるゲインの向上につながる。また、エミッタ接続孔で制限される電流容量を増加することができるため、より高性能なバイポーラ型トランジスタを提供することができる。

【0010】本発明の第3の半導体装置は、前記第2のエミッタ配線が、前記トランジスタ領域上でエミッタボンディングパッドとして使われることを特徴とする。

【0011】かかる構成によれば、各エミッタ領域への給電を最短且つ均等に行え、且つエミッタ配線レスによるインダクタンス成分の大幅な削減により、更なるゲインの向上が図れる。また、省スペース化によりチップサイズの縮小設計が可能となる。

【0012】本発明の第4の半導体装置は、前記第2のエミッタ配線と前記第2の絶縁膜は、第3の絶縁膜に被覆されており、前記第3の絶縁膜に形成された第3のスルーホールを介して前記第2のエミッタ配線と接続された前記第3の絶縁膜上に形成された第3のエミッタ配線を有し、前記第3のエミッタ配線が前記トランジスタ領域上でエミッタボンディングパッドとして使われ、且つ前記第2のエミッタ配線の占有領域の大きさが少なくとも前記トランジスタ領域以上、且つ前記エミッタボンディングパッド以下で形成されることを特徴とする。

【0013】かかる構成によれば、第3の発明の効果に加え、第2のエミッタ配線がワイヤーボンディングによるトランジスタ領域へのダメージを緩和することで、量産性の高い高品質なバイポーラ型トランジスタを提供できる。

【0014】

【発明の実施の形態】本発明に係るバイポーラ型トランジスタを図面を参照して説明する。

【0015】（第1の実施の形態）第1の実施の形態について図1(a)～(c)を用いて説明する。

【0016】図1(a)は第1の実施形態の模式的な平面図、図1(b)は図1(a)の丸で囲ったA部を拡大した平面図、図1(c)はそのX-X'断面図である。N<sup>+</sup>/N型のコレクタ基板1上に複数個形成されたP型ベース領域2とそのベース領域2にそれぞれ形成されたN型エミッタ領域3と、各ベース領域2を絶縁分離するコレクタ基板1に形成された素子分離領域4とで複数個配設されたトランジスタ領域19を形成する。N型エミッタ領域3の上にはN型多結晶シリコン膜6が形成されている。P型ベース領域2上と素子分離領域4上に外部ベース層となるP型多結晶シリコン膜5が形成されている。さらにトランジスタ領域19が形成された上を絶縁膜7で被覆し、N型多結晶シリコン膜6およびP型多結晶シリコン膜5をそれぞれ接続する配線プラグが埋め込まれたスルーホール8を介して第1のベース配線9および第1のエミッタ配線10を形成する。第1のベース配線9は図1(b)に示されるようにくし形状に共通接続されコンタクトホール17を介してベース共通接続配線13からトランジスタ領域19の外側に形成されたベースボンディングパッド11に接続される。さらに、第1のベース配線9および第1のエミッタ配線10が形成された第1の絶縁膜7上を被覆する第2の絶縁膜14を形成する。次に第2の絶縁膜14に形成された第2のスルーホール15を介して第1のエミッタ配線10と接続する第2のエミッタ配線16を形成する。前記第2のエミ

ッタ配線16は共通接続され、且つ前記トランジスタ領域19を全面覆うように形成される。第2のエミッタ配線16は、トランジスタ領域19の外側に引き出されエミッタボンディングパッド12に接続される。

【0017】第2のエミッタ配線16がトランジスタ領域19を全面覆うように形成されるため、エミッタボンディングパッド12から全てのエミッタ領域3への距離が等しくでき、配線の引き回しによる配線インダクタンス差を無くすることができる。

【0018】これにより従来のエミッタ配線くし形構造よりゲインを約1dB向上することができた。また、全体の電流バランス改善により電流集中が起きにくくなるため、より高品質なバイポーラ型トランジスタを提供することができた。

【0019】(第2の実施の形態) 第2の実施の形態について図2を用いて説明する。

【0020】図2は図1(c)と同様にトランジスタの断面図、平面図は第1の実施の形態と同じため省略する。

【0021】N<sup>+</sup>/N型のコレクタ基板1上に複数個形成されたP型ベース領域2とそのベース領域2にそれぞれ形成されたN型エミッタ領域3と、各ベース領域2を絶縁分離するコレクタ基板1に形成された素子分離領域4とで複数個配設されたトランジスタ領域19を形成する。N型エミッタ領域3の上にはN型多結晶シリコン膜6が形成されている。P型ベース領域2上と素子分離領域4上に外部ベース層となるP型多結晶シリコン膜5が形成されている。さらにトランジスタ領域19が形成された上を第1の絶縁膜7で被覆し、P型多結晶シリコン膜5を接続する配線プラグが埋め込まれた第1のスルーホール8を介して第1のベース配線9を形成する。第1のベース配線9は第1の実施の形態と同様に図1(a)(b)の様にくし形に共通接続され、コンタクトホール17を介してベース共通接続配線13からトランジスタ領域19の外側に形成されたベースボンディングパッド11に接続される。

【0022】第1のベース配線9が形成された第1の絶縁膜7上を被覆する第2の絶縁膜14をさらに形成し、第1の絶縁膜7と第2の絶縁膜14に形成されたエミッタ接続用の第2のスルーホール15を介してN型多結晶シリコン膜6と接続する第2のエミッタ配線16を形成する。第2のエミッタ配線16は共通接続され、且つトランジスタ領域19を全面覆うように形成され、トランジスタ領域19の外側に形成されたエミッタボンディングパッド12まで引き出される構造となっている。基本的には、第1の実施の形態と同様の効果が得られる。

【0023】新たな構成として、エミッタ領域3と第2のエミッタ配線16とを接続するエミッタ接続用の第2のスルーホール15を第1の絶縁膜7および第2の絶縁膜14に貫通形成することで、ベース領域2と第1のベ

ース配線9とを接続する第1のスルーホール8および第1のベース配線9の形成工程による制限を受けずに第2のスルーホール15の開口幅を設計マージンが許す範囲で大きくすることができ、エミッタ抵抗の低減が達成されゲインの向上を実現することができる。

【0024】また、第2のスルーホール15の開口幅が大きくなると電流容量が増加するため、より高性能なバイポーラ型トランジスタを提供することができる。

【0025】(第3の実施の形態) 第3の実施の形態について図3(a)(b)を用いて説明する。

【0026】図3(a)は第3の実施形態の模式的な平面図、図3(b)は図1(c)と同様にトランジスタの断面図である。第2の実施の形態と異なる点は、トランジスタ領域19上を全面覆うように形成した第2のエミッタ配線16をワイヤボンド18で接続されるエミッタボンディングパッド12として使う構造である。全てのエミッタ領域3への給電を最短且つ均等に行え、且つエミッタ配線レスによるインダクタンス成分の大幅な削減により、さらにゲインの向上が得られる。また、省スペース化によりチップサイズの縮小設計が実現できる。

【0027】図3では第2の実施の形態の断面構造を適用したが、第1の実施の形態の断面構造を適用しても同様の効果が得られることは言うまでもない。

【0028】(第4の実施の形態) 第4の実施の形態について図4を用いて説明する。

【0029】図4は第4の実施形態の断面図である。なお、平面図は第3の実施の形態の図3(a)と同様である。第2のエミッタ配線16が形成される構造までは第1の実施形態と同様である。異なる点は第2の絶縁膜14上に更に第3の絶縁膜20が形成され、第3のスルーホール21を通じて第2のエミッタ配線16と接続する第3のエミッタ配線15を形成し、第3のエミッタ配線15をトランジスタ領域19上でエミッタボンディングパッド12として使う構造であり、更に第2のエミッタ配線16の占有領域の大きさがトランジスタ領域19以上、且つエミッタボンディングパッド12以下であることを特徴とする。第2のエミッタ配線16の占有領域の大きさがトランジスタ領域19よりも小さい場合はワイヤボンド18で接続する際、トランジスタ領域19へのダメージを緩和しきれない。また、第2のエミッタ配線16の占有領域の大きさがエミッタボンディングパッド12よりも大きい場合は、ダメージ緩和の効果は得られるが無意味に寄生容量を増加することになり好ましくない。第2のエミッタ配線16の占有領域の大きさをトランジスタ領域19以上、且つエミッタボンディングパッド12以下の大きさに設定することによって、エミッタボンディングパッド12にワイヤボンド18で接続する際、トランジスタ領域19へのダメージが緩和され、量産性が高く高品質なバイポーラトランジスタを提供できる。

【0030】第4の実施の形態において、第2の実施の形態を適用しても同様の効果が得られることは言うまでもない。

【0031】

【発明の効果】以上のように本発明によれば、ベース領域およびエミッタ領域および素子分離領域が複数個配設された半導体装置において、第2のエミッタ配線がトランジスタ領域を全面覆うように形成されるため、エミッタボンディングパッドから全てのエミッタ領域への距離が等しくなることで配線インダクタンス差を無くすることができた。これによりゲインを約1 dB向上することができた。

【0032】また、エミッタ接続用のスルーホールを第1の絶縁膜および第2の絶縁膜を貫通形成することにより、エミッタ接続用のスルーホールの開口幅を設計マージンが許す範囲で大きくすることができ、エミッタ抵抗の低減によるゲインの向上を実現できる。また、前記エミッタ接続孔で制限される電流容量が増加するため、より高性能なバイポーラ型トランジスタを提供することができる。

【0033】さらに、トランジスタ領域上に第2のエミッタ配線からなるエミッタボンディングパッドを形成することによって、全てのエミッタ領域への給電を最短且つ均等に行え、且つエミッタ配線レスによるインダクタンス成分の大幅な削減により、ゲインロスがほとんど無い高性能なバイポーラ型トランジスタを提供できる。また、省スペース化によってチップサイズの縮小設計が実現できる。

【0034】さらに、第2のエミッタ配線上に更に第3の絶縁膜を形成し第3のエミッタ配線をエミッタボンディングパッドとして、第2のエミッタ配線の占有領域の大きさをトランジスタ領域以上、エミッタボンディングパッド以下に設定することによって、ワイヤーボンディングによるトランジスタ領域へのダメージを緩和でき、

量産性が高く高品質なバイポーラ型トランジスタを提供できる。

【図面の簡単な説明】

【図1】(a) 本発明の第1の実施形態のバイポーラ型トランジスタの模式的な平面図

(b) 一部を拡大した模式的な平面図

(c) (b)のX-X'断面図

【図2】本発明の第2の実施形態のバイポーラ型トランジスタの模式的な断面図

【図3】(a) 本発明の第3の実施形態のバイポーラ型トランジスタの模式的な平面図

(b) 同断面図

【図4】本発明の第4の実施形態のバイポーラ型トランジスタの模式的な断面図

【図5】(a) 従来のバイポーラ型トランジスタの模式的な平面図

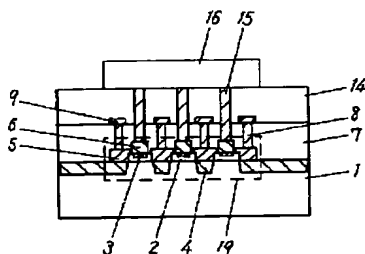
(b) 一部を拡大した模式的な平面図

(c) (b)のX-X'断面図

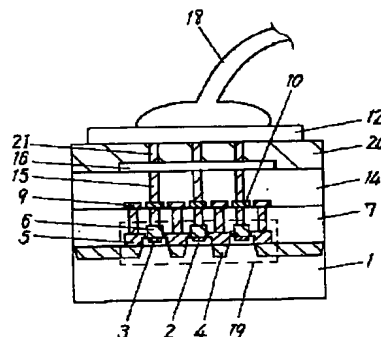
【符号の説明】

- 1 コレクタ基板
- 2 ベース領域
- 3 エミッタ領域
- 4 素子分離領域
- 7 第1の絶縁膜
- 8, 15, 21 スルーホール
- 9 第1のベース配線、ベース配線
- 10 第1のエミッタ配線、エミッタ配線
- 11 ベースボンディングパッド
- 12 エミッタボンディングパッド
- 14 第2の絶縁膜
- 15 第3のエミッタ配線
- 16 第2のエミッタ配線
- 19 トランジスタ領域
- 20 第3の絶縁膜

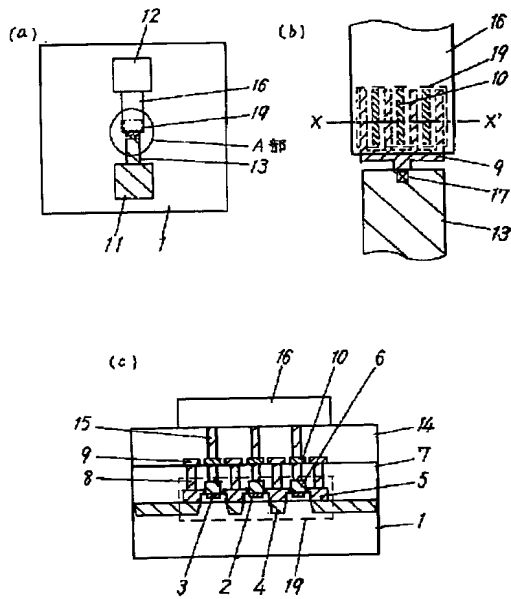
【図2】



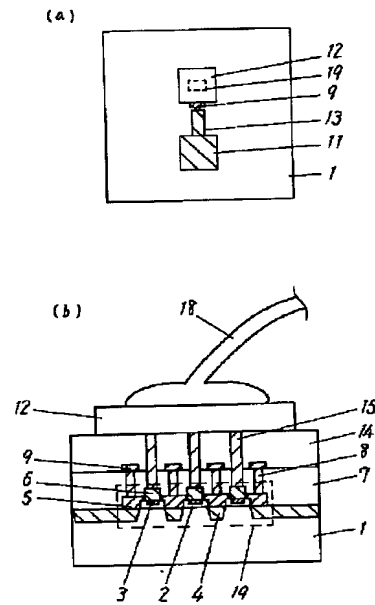
【図4】



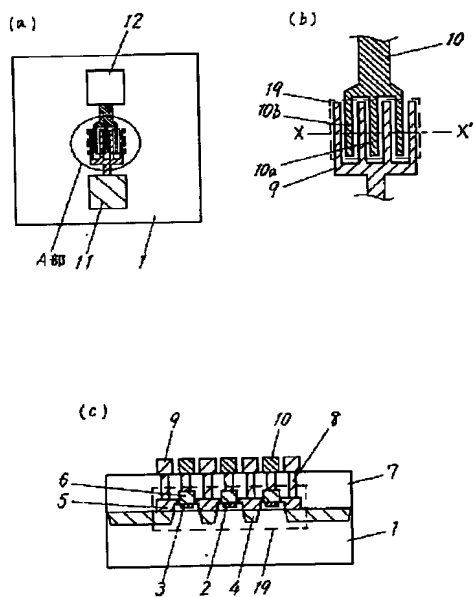
【図1】



【図3】



【図5】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H01L 29/737

識別記号

F I

テ-マ-ド (参考)

!(7) 003-174033 (P2003-17JL8

(72)発明者 松野 年伸  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 4M104 BB01 BB40 DD06 FF40 GG06  
HH20  
5F003 AP01 BA11 BB04 BB07 BE04  
BE07 BE08 BF06 BH16 BH18  
BH93 BM01 BP11  
5F033 KK01 KK03 NN38 UU04 UU05  
VV07 XX19 XX27